

IFW

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

IN RE APPLICATION OF: Tetsu KACHI, et al.

GAU: 2812

SERIAL NO: 10/771,528

EXAMINER:

FILED: February 5, 2004

FOR: GROUP III NITRIDE SEMICONDUCTOR DEVICE

REQUEST FOR PRIORITY

COMMISSIONER FOR PATENTS
ALEXANDRIA, VIRGINIA 22313

SIR:

- ☐ Full benefit of the filing date of U.S. Application Serial Number , filed , is claimed pursuant to the provisions of 35 U.S.C. §120.
- ☐ Full benefit of the filing date(s) of U.S. Provisional Application(s) is claimed pursuant to the provisions of 35 U.S.C. §119(e):
Application No. Date Filed
- ☒ Applicants claim any right to priority from any earlier filed applications to which they may be entitled pursuant to the provisions of 35 U.S.C. §119, as noted below.

In the matter of the above-identified application for patent, notice is hereby given that the applicants claim as priority:

<u>COUNTRY</u>	<u>APPLICATION NUMBER</u>	<u>MONTH/DAY/YEAR</u>
JAPAN	2003-029374	February 6, 2003
JAPAN	2004-003368	January 8, 2004

Certified copies of the corresponding Convention Application(s)

- ☒ are submitted herewith
- ☐ will be submitted prior to payment of the Final Fee
- ☐ were filed in prior application Serial No. filed
- ☐ were submitted to the International Bureau in PCT Application Number
Receipt of the certified copies by the International Bureau in a timely manner under PCT Rule 17.1(a) has been acknowledged as evidenced by the attached PCT/IB/304.
- ☐ (A) Application Serial No.(s) were filed in prior application Serial No. filed ; and
- ☐ (B) Application Serial No.(s)
☐ are submitted herewith
☐ will be submitted prior to payment of the Final Fee

Respectfully Submitted,

OBLON, SPIVAK, McCLELLAND,
MAIER & NEUSTADT, P.C.
Norman F. Oblon

Joseph A. Scafetta, Jr.
Registration No. 26, 803

Customer Number
22850

Tel. (703) 413-3000
Fax. (703) 413-2220
(OSMMN 05/03)

日 本 国 特 許 庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日 2 0 0 3 年 2 月 6 日
Date of Application:

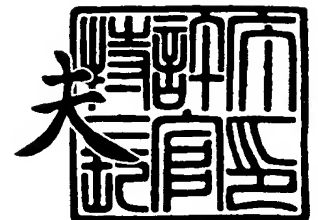
出 願 番 号 特 願 2 0 0 3 - 0 2 9 3 7 4
Application Number:
[ST. 10/C]: [J P 2 0 0 3 - 0 2 9 3 7 4]

出 願 人 株式会社豊田中央研究所
Applicant(s):

2 0 0 4 年 1 月 2 0 日

特許庁長官
Commissioner,
Japan Patent Office

今 井 康 夫



【書類名】 特許願

【整理番号】 K02-425

【提出日】 平成15年 2月 6日

【あて先】 特許庁長官殿

【国際特許分類】 H01L 29/78

【発明者】

【住所又は居所】 愛知県愛知郡長久手町大字長湫字横道 4 1 番地の 1 株
式会社豊田中央研究所内

【氏名】 加地 徹

【発明者】

【住所又は居所】 愛知県愛知郡長久手町大字長湫字横道 4 1 番地の 1 株
式会社豊田中央研究所内

【氏名】 中野 由崇

【特許出願人】

【識別番号】 000003609

【氏名又は名称】 株式会社豊田中央研究所

【代理人】

【識別番号】 110000110

【氏名又は名称】 特許業務法人 快友国際特許事務所

【代表社員】 小玉 秀男

【電話番号】 052-588-3361

【手数料の表示】

【予納台帳番号】 172662

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 0207894

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 III族窒化物半導体を有する半導体素子

【特許請求の範囲】

【請求項 1】 III族窒化物半導体で構成された第 1 層と、III族窒化物半導体で構成された第 2 層と、ゲート電極を有し、

第 1 層は、ゲート電極と第 2 層の間に形成された領域を有し、

(1) 第 1 層、(2) 第 2 層、(3) 第 1 層と第 2 層の間の領域の少なくともいずれかにチャネルが形成され、

第 2 層の導電型は、チャネルを流れるキャリアの導電型と逆の導電型である半導体素子。

【請求項 2】 第 2 層は、チャネルに流すキャリアと逆導電型のキャリアを素子外に流出させる電極に接している請求項 1 に記載の半導体素子。

【請求項 3】 第 1 導電型のIII族窒化物半導体で構成された第 1 層と、第 2 導電型のIII族窒化物半導体で構成された第 2 層と、ゲート電極を有し、

第 1 層は、ゲート電極と第 2 層の間に形成された領域を有し、第 1 層と第 2 層は接しており、

第 1 層のバンドギャップは、第 2 層のバンドギャップよりも大きい半導体素子。

【請求項 4】 第 1 導電型のIII族窒化物半導体で構成された第 1 層と、第 2 導電型のIII族窒化物半導体で構成された第 2 層と、III族窒化物半導体で構成された第 3 層と、ゲート電極を有し、

第 1 層は、ゲート電極と第 2 層の間に形成された領域を有し、

第 3 層は、第 1 層と第 2 層の間に形成された領域を有し、

第 3 層のバンドギャップは、第 1 層と第 2 層のバンドギャップよりも小さい半導体素子。

【請求項 5】 第 3 層は、実質的に真性のIII族窒化物半導体で構成されている請求項 4 に記載の半導体素子。

【請求項 6】 第 1 導電型のIII族窒化物半導体で構成された第 1 層と、第 2 導電型のIII族窒化物半導体で構成された第 2 層と、ゲート電極を有し、

第1層は、ゲート電極と第2層の間に形成された領域を有し、

第1層の厚さは、ゲート電極に電圧が印加されていないときに第1層と第2層の間から第1層側に伸びる空乏層の厚さ以下である半導体素子。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は、III族窒化物半導体を有する半導体素子に関する。

【0002】

【従来の技術】 特許文献1には、III族窒化物半導体を有する半導体素子が示されている。具体的には、基板上に、バッファ層、チャネル層、ゲート絶縁層が順次積層され、その上にゲート電極が形成された電界効果トランジスタが示されている。チャネル層は、n型のGa₂N（窒化ガリウム、III族窒化物半導体の一例）で構成されている。

【0003】

【特許文献1】

特開平10-223901号公報（その公報の図1参照）

【0004】

【発明が解決しようとする課題】 上記したトランジスタでは、オン時には、チャネル層に電子が流れる。この電子が周囲の原子に衝突すると、ホールが形成される。チャネル層を流れる電子の量が増加すると、形成されるホールの量も増加する。このホールは、トランジスタ内に蓄積される。蓄積されたホールの存在は、絶縁破壊の要因となる。このように、上記したトランジスタでは、高耐圧化の実現を妨げる要因が存在していた。

【0005】

また、このような半導体素子では、オン抵抗を低くすることも課題となっている。

また、特許文献1には、上記したトランジスタのチャネル層のキャリア濃度を低くすることで、ノーマリオフが可能である旨が記載されている。ノーマリオフとは、ゲート電極に電圧を印加していない状態では、素子がオフしている（素子

に実質的に電流が流れない) ものをいう。しかし、このような半導体素子では、ノーマリオフが可能な他の新規な構造の実現も課題となっている。

【0006】

本発明は、III族窒化物半導体を有する半導体素子の耐圧を高くすることを1つの目的とする。

本発明は、III族窒化物半導体を有する半導体素子のオン抵抗を低くすることを他の目的とする。

本発明は、III族窒化物半導体を有する半導体素子のノーマリオフが可能な新規な構造を実現することを他の目的とする。

本発明は、上記した目的の少なくとも1つを達成しようとするものである。

【0007】

【課題を解決するための手段及び作用と効果】 本発明の1つの態様の半導体素子は、III族窒化物半導体で構成された第1層と、III族窒化物半導体で構成された第2層と、ゲート電極を有する。第1層は、ゲート電極と第2層の間に形成された領域を有する。(1) 第1層、(2) 第2層、(3) 第1層と第2層の間の領域の少なくともいずれかにチャネルが形成される。第2層の導電型が、チャネルを流れるキャリアの導電型と逆の導電型である。

【0008】

チャネルを流れるキャリアが周囲の原子に衝突すると、形成されたチャネルを流れるキャリアと逆導電型のキャリアが形成される場合がある。上記態様によると、この逆導電型キャリアを、チャネルを流れるキャリアの導電型と逆の導電型である第2層から引き抜くことができる。よって、半導体素子内に逆導電型キャリアが蓄積されることを抑制できる。このため、蓄積された逆導電型キャリアの存在による絶縁破壊の発生を抑制できる。従って、耐圧を高くすることができる。

【0009】

【発明の実施の形態】 本発明の1つの態様の半導体素子において、第2層は、チャネルに流すキャリアと逆導電型のキャリアを素子外に流出させる電極に接していることが好ましい。具体的には、第2層は、ソース電極とドレイン電極のい

ずれかに接していることが好ましい。より具体的には、第2層の導電型がp型の場合は、第2層はソース電極に接していることが好ましい。

上記態様によると、チャンネルを流れるキャリアと逆導電型のキャリアを第2層からより有効に引抜くことができる。

【0010】

本発明の他の態様の半導体素子は、第1導電型のIII族窒化物半導体で構成された第1層と、第2導電型のIII族窒化物半導体で構成された第2層と、ゲート電極を有する。第1層は、ゲート電極と第2層の間に形成された領域を有する。第1層と第2層は接している。第1層のバンドギャップは、第2層のバンドギャップよりも大きい。

上記態様によると、第1層と第2層の境界部付近に、チャンネルとして機能する狭い量子井戸部を形成できる。よって、キャリアの移動度を向上させることができる。このため、チャンネル抵抗を低くすることができる。従って、オン抵抗を低くすることができる。

【0011】

第1層はAl（アルミニウム）を含むことが好ましい。この場合、第1層のバンドギャップを大きくすることができる。第2層はIn（インジウム）を含むことが好ましい。この場合、バンドギャップを小さくすることができる。

【0012】

本発明の他の態様の半導体素子は、第1導電型のIII族窒化物半導体で構成された第1層と、第2導電型のIII族窒化物半導体で構成された第2層と、III族窒化物半導体で構成された第3層と、ゲート電極を有する。第1層は、ゲート電極と第2層の間に形成された領域を有する。第3層は、第1層と第2層の間に形成された領域を有する。第3層のバンドギャップは、第1層と第2層のバンドギャップよりも小さい。

上記態様によると、第3層に、チャンネルとして機能する狭い量子井戸部を形成できる。よって、この場合もオン抵抗を低くすることができる。

【0013】

第3層は、実質的に真性のIII族窒化物半導体で構成されていることがより好

ましい。

上記態様によると、チャンネルとして機能する第3層内にキャリアが流れた場合の不純物散乱の発生を回避できる。よって、キャリアの移動度をより向上させることができる。このため、オン抵抗をより低くすることができる。

【0014】

本発明の他の態様の半導体素子は、第1導電型のIII族窒化物半導体で構成された第1層と、第2導電型のIII族窒化物半導体で構成された第2層と、ゲート電極を有する。第1層は、ゲート電極と第2層の間に形成された領域を有する。第1層の厚さは、ゲート電極に電圧が印加されていないときに第1層と第2層の間から第1層側に伸びる空乏層の厚さ以下である。

上記態様によると、ノーマリオフが可能な半導体素子を実現できる。

【0015】

第1層のキャリア濃度が $1 \times 10^{17} \text{ cm}^{-3}$ 以下であり、第2層のキャリア濃度が $1 \times 10^{17} \text{ cm}^{-3}$ 以上であることが好ましい。上記態様によると、ノーマリオフが可能な半導体素子を実現しやすい。

【0016】

ゲート電極は第1層に直接に接していてもよい。ゲート電極はゲート絶縁層を介して第1層に隣合っていることもよい。ゲート絶縁層は、III族元素としてAl（アルミニウム）を少なくとも含むIII族窒化物半導体を含むことが好ましい。このようなゲート絶縁層を設けると、ゲート電極に印加することが許容される電圧値を大きくすることができる。

【0017】

第1層と第2層を含む半導体部の同じ面側に、ドレイン電極と、ソース電極が形成されていることが好ましい。あるいは、第1層と第2層を含む半導体部の第1面側にソース電極が形成され、第1面と反対側の第2面側にドレイン電極が形成されていることが好ましい。

【0018】

本発明の他の態様の半導体素子は、第1導電型のIII族窒化物半導体で構成された第4層（22）と、第4層（22）上に形成され、第2導電型のIII族窒化物半

導体で構成された第2層(42)と、第2層(42)上に直接に又はIII族窒化物半導体で構成された第3層(44)を介して形成され、第1導電型のIII族窒化物半導体で構成された第1層(32)と、第1層(32)上に直接に又はゲート絶縁層(30)を介して形成されたゲート電極(34)と、第1層(32)の一端側に直接に又は第1導電型ソース層(40)を介して隣合うソース電極(38)と、第1層(32)の他端側に直接に又は第1導電型ドレイン層(26)を介して隣合うドレイン電極(28)を有する。

【0019】

本発明の他の態様の半導体素子は、第1導電型のIII族窒化物半導体で構成された第4層(52, 54)と、第4層(52, 54)の第1面側に形成されたドレイン電極(50)と、第4層(52, 54)のうち第1面と反対側の第2面上に形成され、第2導電型のIII族窒化物半導体で構成された第2層(56)と、第2層(56)上に直接に又はIII族窒化物半導体で構成された第3層(72)を介して形成され、第1導電型のIII族窒化物半導体で構成された第1層(68)と、第1層(68)上に直接に又はゲート絶縁層(66)を介して形成されたゲート電極(70)と、第1層(68)の一端側に直接に又は第1導電型ソース層(60)を介して隣合うソース電極(62)を有する。

【0020】

【実施例】

(第1実施例) 図1は、第1実施例の電界効果トランジスタの断面図を示す。このトランジスタでは、基板20上に、下側n⁻型層(第4層)22が形成されている。基板20は、Al₂O₃(サファイア)で構成されている。下側n⁻型層22は、n型不純物であるSi(シリコン)がドーピングされたGa₂N(窒化ガリウム)で構成されている。下側n⁻型層22のキャリア濃度は、約 $1 \times 10^{16} \text{ cm}^{-3}$ である。下側n⁻型層22の最も厚い部分の厚さは、約5 μm である。下側n⁻型層22の一部の領域上には、p⁺型層(第2層)42が形成されている。p⁺型層42は、p型不純物であるMg(マグネシウム)がドーピングされたGa₂Nで構成されている。p⁺型層42のキャリア濃度は、約 $1 \times 10^{18} \text{ cm}^{-3}$ である。p⁺型層42の最も厚い部分の厚さは、約0.5 μm である。n型不純物としてGe(ゲルマニウム)等をドーピングしてもよい。p型不純

物としてBe（ベリリウム）等をドーピングしてもよい。

【0021】

下側n⁻型層22の一部の領域上から、p⁺型層42の一部の領域上にわたって、上側n⁻型層（第1層）32が形成されている。上側n⁻型層32は、n型不純物であるSiがドーピングされたAlGa_{0.3}N（窒化アルミニウムガリウム、詳細にはAl_{0.3}Ga_{0.7}N）で構成されている。上側n⁻型層32のキャリア濃度は、約 $1 \times 10^{16} \text{ cm}^{-3}$ である。上側n⁻型層32の厚さは、約50nmである。

【0022】

p⁺型層42の一部の領域上であって、上側n⁻型層32の一端（図示左端）に接する位置には、n⁺型ソース層40が形成されている。下側n⁻型層22の一部の領域上であって、上側n⁻型層32の他端（図示右端）に接する位置には、n⁺型ドレイン層26が形成されている。n⁺型ソース層40とn⁺型ドレイン層26は、n型不純物であるSiがドーピングされたGa_{0.3}Nで構成されている。

【0023】

n⁺型ソース層40の一部の領域上から、p⁺型層42の一部の領域上にわたって、ソース電極38が形成されている。ソース電極38は、n⁺型ソース層40とp⁺型層42の両方に接している。n⁺型ドレイン層26上には、ドレイン電極28が形成されている。上側n⁻型層32上から、n⁺型ソース層40の一部の領域上にわたって、ゲート絶縁層30が形成されている。ゲート絶縁層30は、AlN（窒化アルミニウム）で構成されている。ゲート絶縁層30の厚さは、約50nmである。ゲート絶縁層30の一部の領域上には、ゲート電極34が形成されている。ゲート電極34は、p⁺型層42の一部の領域よりも上方の位置にある。上側n⁻型層32は、ゲート電極34とp⁺型層42の間に形成された領域32aを有する。

【0024】

ソース電極38とドレイン電極28は、Ti（チタン）とAl（アルミニウム）の積層構造によってオーミック電極として形成されている。Tiの厚さは約1

0 nmである。A1の厚さは約100 nmである。ゲート電極34は、Ni（ニッケル）で構成されている。ゲート電極34の厚さは、約100 nmである。

【0025】

上側n⁻型層32のバンドギャップは、p⁺型層42のバンドギャップよりも大きい。本実施例では、上側n⁻型層32にA1を含ませることで、上側n⁻型層32のバンドギャップを大きくしている。

上側n⁻型層32とp⁺型層42の接触部（pn接合部）24からは、上側n⁻型層32とp⁺型層42の両側に空乏層が伸びる。上側n⁻型層32の厚さは、ゲート電極34に電圧が印加されていないときに上側n⁻型層32とp⁺型層42のpn接合部24から上側n⁻型層32側に伸びる空乏層の厚さ以下である。

【0026】

次に、第1実施例の動作について説明する。上記したように、上側n⁻型層32の厚さは、ゲート電極34に電圧が印加されていないときに上側n⁻型層32側に伸びる空乏層の厚さ以下である。よって、ゲート電極34に電圧が印加されていない状態では、上側n⁻型層32側に伸びる空乏層によって、上側n⁻型層32のうちp⁺型層42の直上に位置する領域32aの全体が実質的に空乏化されている。このため、ゲート電極34に電圧が印加されていない状態では、ソース電極38とドレイン電極28間には電流は流れない。このように、このトランジスタは、ノーマリオフの動作をする。大電力用の半導体素子では、ゲート電極34に電圧が印加されていないときには電流が流れないようにすること、即ち、ノーマリオフであることが安全性の観点から望まれる。このトランジスタは上記したようにノーマリオフの動作をする。よって、このトランジスタは、大電力用の半導体素子として用いると特に有用である。

【0027】

図2は、上側n⁻型層32と、p⁺型層42のエネルギーバンド図を示す。なお、図2～図4に示すエネルギーバンド図の構成は、図1のA-A線断面図の構成に対応する。先に述べたように、上側n⁻型層32のバンドギャップE₁は、p⁺型層42のバンドギャップE₂よりも大きい。このような上側n⁻型層32

と p^+ 型層 42 を接合すると、両方のフェルミ準位 (E_F) を合わせるようにエネルギーバンドが曲げられる。この結果、エネルギーバンドには、スパイク部 44 とノッチ部 (量子井戸部) 46 が形成される。また、上側 n^- 型層 32 と p^+ 型層 42 の $p-n$ 接合部 24 からは、上側 n^- 型層 32 と p^+ 型層 42 の両側に空乏層 48 が伸びる。

【0028】

図 3 は、上側 n^- 型層 32 と p^+ 型層 42 に加えて、ゲート絶縁層 30 とゲート電極 34 を含めた構造についてのエネルギーバンド図を示す。図 3 は、ゲート電極 34 に電圧を印加していない状態の図である。ゲート電極 34 に正の電圧を印加すると、エネルギーバンドが図 4 に示すように曲げられる。これにより、ノッチ部 46 がフェルミ準位 (E_F) よりも下方に移動する。これにより、ノッチ部 46 にチャネルが形成され、電子が流れる。

図 4 からわかるように、ノッチ部 46 は、上側 n^- 型層 32 と p^+ 型層 42 の境界部 24 付近 (主に境界部 24 付近の p^+ 型層 42) に形成される。即ち、チャネルは、図 1 と図 4 に示す上側 n^- 型層 32 と p^+ 型層 42 の境界部 24 付近 (主に境界部 24 付近の p^+ 型層 42) に形成される。図 4 でみると、ノッチ部 (チャネル) 46 は紙面垂直方向に伸びている。図 1 でみると、チャネルは、境界部 24 付近に形成されるため、左右方向に伸びる。

【0029】

このように、ゲート電極 34 に正の電圧を印加すると、図 1 でみると、電子が、ソース電極 38、 n^+ 型ソース層 40、チャネル (上側 n^- 型層 32 と p^+ 型層 42 の境界部 24 付近)、上側 n^- 型層 32 と下側 n^- 型層 22 の境界部 25 付近、 n^+ 型ドレイン層 26、ドレイン電極 28 の順に横方向に流れる。即ち、ドレイン電極 28 からソース電極 38 に向けて横方向に電流が流れ、トランジスタがオンする。

【0030】

チャネルを流れる電子が周囲の原子に衝突すると、形成されたチャネルを流れる電子と逆導電型のホールが形成される場合がある。上記実施例によると、このホールを p^+ 型層 42 と、これに接するソース電極 38 を通じて引抜くことがで

きる。よって、素子内にホールが蓄積されることを抑制できる。このため、蓄積されたホールの存在による絶縁破壊の発生を抑制できる。従って、耐圧を高くすることができる。

【0031】

また、図4に示すようにノッチ部46は、その上方に位置する3次元的に広がった領域に比べて、2次元的に狭まった領域となっている。電子は、この2次元的に狭まったノッチ部46に形成されるチャネルを流れる。よって、いわゆる2次元電子ガスが形成される。このため、電子の移動度を高くすることができる。この結果、チャネル抵抗を低くすることができる。従って、オン抵抗を低くすることができる。

【0032】

以上のように、第1実施例によると、ノーマリオフであって、耐圧が高く、オン抵抗が低いという有用な半導体素子を実現できる。

【0033】

次に、第1実施例の製造方法例について図1を参照して説明する。まず、基板20上に、MOCVD法（有機金属気相成長法）によって下側n⁻型層22をエピタキシャル成長させる。次に、下側n⁻型層22上に第1マスク層（SiO₂層）を形成する。次に、第1マスク層にp⁺型層42の形成用の開口をフォトリソで形成する。次に、第1マスク層の開口から露出する下側n⁻型層（図1には存在しない）をRIE法（反応性イオンエッチング法）によってエッチングする。なお、上記したMOCVD法に代えて、MBE法（分子線エピタキシー法）等を用いてもよい。以下同様である。

【0034】

次に、エッチングした下側n⁻型層（図1には存在しない）の下方に位置し、エッチングにより新たに露出した下側n⁻型層22上に、p⁺型層42をMOCVD法によって選択的にエピタキシャル成長させる。このp⁺型層42は、下側n⁻型層22の最頂面の高さに達するまで成長させる。このp⁺型層42の形成は、先に形成した第1マスク層をそのまま残して行う。第1マスク層上にはp⁺型層42は成長しないので、エッチングにより新たに露出した下側n⁻型層22

上のみに p^+ 型層 42 を選択的に成長させることができる。次に、第 1 マスク層を HF 水溶液によって除去する。

【0035】

次に、 p^+ 型層 42 の全体上から、下側 n^- 型層 22 の全体上にわたって上側 n^- 型層 32 を MOCVD 法によってエピタキシャル成長させる。次に、上側 n^- 型層 32 の全体上に第 2 マスク層 (SiO_2 層) を形成する。次に、第 2 マスク層に、ソース層 40 の形成用の開口とドレイン層 26 の形成用の開口をフォト工程で形成する。次に、第 2 マスク層の開口に向けて、N (窒素) をイオン注入法によってドーズ量 $1 \times 10^{15} \text{ cm}^{-2}$ 、加速電圧 35 keV で注入する。次に、第 2 マスク層の開口に向けて、Si をイオン注入法によってドーズ量 $1 \times 10^{15} \text{ cm}^{-2}$ 、加速電圧 65 keV で注入する。これにより、 n^+ 型ソース層 40 と n^+ 型ドレイン層 26 (但し、イオン注入した不純物の活性化前) が形成される。

【0036】

次に、第 2 マスク層の開口部分にもマスク層 (SiO_2 層) を再度形成する。以下では、これらのマスク層全体を第 3 マスク層という。これにより、素子の頂面全体が第 3 マスク層で覆われた状態となる。次に、N (窒素) 雰囲気中で 1300℃ で 5 分間、素子をアニールする。これにより、イオン注入した不純物を活性化させる。次に、第 3 マスク層に開口を形成する。この開口は、ソース電極 38 を接触させる p^+ 型層 42 上に形成された上側 n^- 型層 (図 1 には存在しない) の除去用のものである。次に、第 3 マスク層の開口から露出する上側 n^- 型層 (図 1 には存在しない) を RIE 法によってエッチングする。次に、第 3 マスク層を HF 水溶液によって除去する。

【0037】

次に、素子の頂面全体にゲート絶縁層 30 をスパッタ法によって形成する。次に、ゲート絶縁層 30 にソース電極 38 の形成用の開口とドレイン電極 28 の形成用の開口をフォト工程で形成する。次に、開口から露出した p^+ 型層 42 と n^+ 型ソース層 40 上に、Ti と Al を順に蒸着してソース電極 38 を形成する。また、開口から露出した n^+ 型ドレイン層 26 上に、Ti と Al を順に蒸着して

ドレイン電極 28 を形成する。次に、N（窒素）雰囲気中で 500℃ で 2 分間アニールする。これにより、ソース電極 38 と n⁺ 型ソース層 40、ソース電極 38 と p⁺ 型層 42、及びドレイン電極 28 と n⁺ 型ドレイン層 26 の接触抵抗を低減させる。次に、p⁺ 型層 42 の上方に位置するゲート絶縁層 30 上に、Ni を蒸着してゲート電極 34 を形成する。

以上の工程を経ることで、第 1 実施例の電界効果トランジスタを製造できる。

【0038】

（第 2 実施例） 図 5 に示す第 2 実施例の電界効果トランジスタは、次の点で第 1 実施例と主に異なる。第 2 実施例では、上側 n⁻ 型層 32 と p⁺ 型層 42 の間にチャンネル層（第 3 層）44 が設けられている。チャンネル層 44 は、上側 n⁻ 型層 32 と下側 n⁻ 型層 22 の間にも連続して設けられている。チャンネル層 44 は、不純物がドーピングされていない真性の InGa_{0.5}N で構成されている。このように、チャンネル層 44 には、In を含ませている。これにより、チャンネル層 44 のバンドギャップを、上側 n⁻ 型層 32 と p⁺ 型層 42 のバンドギャップよりも小さくしている。

【0039】

第 2 実施例は、第 1 実施例と同様の工程を経て第 1 マスク層を除去した後、p⁺ 型層 42 の全体上から下側 n⁻ 型層 22 の全体上にわたってチャンネル層 44 と上側 n⁻ 型層 42 を MOCVD 法によって順に成長させ、さらに第 1 実施例と同様の工程を経ることで製造できる。

【0040】

チャンネル層 44 を設けた場合のエネルギーバンド図を図 6 に示す。チャンネル層 44 を設けると、図 6 に示すように、第 1 実施例のノッチ部 46（図 2～図 4 参照）に類似した形状の凹部（量子井戸部）49 を形成できる。このような凹部 49 が形成されていると、ゲート電極 34 に正の電圧を印加した場合、第 1 実施例のノッチ部と同様に、凹部 49 の下端部がフェルミ準位（E_F）よりも下方に位置する。そして、この凹部 49 の下端部（チャンネル層 44）にチャンネルが形成される。

また、チャンネル層 44 は、不純物がドーピングされていない。よって、チャンネル層

44に電子が流れた場合の不純物散乱の発生を回避できる。よって、電子の移動度をより向上させることができる。このため、チャネル抵抗をより低くすることができる。従って、オン抵抗をより低くすることができる。

【0041】

(第3実施例) 図7に示す第3実施例の電界効果トランジスタでは、 n^+ 型ドレイン層(第4層の一部)52上に、下側 n^- 型層(第4層の一部)54が形成されている。 n^+ 型ドレイン層52と下側 n^- 型層54は、 n 型不純物としてSiがドーピングされたGaNで構成されている。但し、 n^+ 型ドレイン層52の方が下側 n^- 型層54よりも高濃度にSiがドーピングされている。 n^+ 型ドレイン層52のキャリア濃度は、約 $3 \times 10^{18} \text{ cm}^{-3}$ である。下側 n^- 型層54のキャリア濃度は、約 $1 \times 10^{16} \text{ cm}^{-3}$ である。 n^+ 型ドレイン層52の厚さは、約 $200 \mu\text{m}$ である。下側 n^- 型層54の最も厚い部分の厚さは、約 $6 \mu\text{m}$ である。 n^+ 型ドレイン層52の底面には、ドレイン電極50が形成されている。

【0042】

下側 n^- 型層54の左側部と右側部上にはそれぞれ、 p^+ 型層(第2層)56が形成されている。これらの p^+ 型層56は、 p 型不純物としてMgがドーピングされたInGaNで構成されている。これらの p^+ 型層56のキャリア濃度は、約 $1 \times 10^{18} \text{ cm}^{-3}$ である。これらの p^+ 型層56の一部の領域上には、 n^+ 型ソース層60が形成されている。これらの n^+ 型ソース層60は、 n 型不純物であるSiがドーピングされたGaNで構成されている。 p^+ 型層56の一部の領域上と、 n^+ 型ソース層60の一部の領域上にわたって、ソース電極62が形成されている。ソース電極62は、 p^+ 型層56と n^+ 型ソース層60の両方に接している。

【0043】

左側の p^+ 型層56の右側部上と、下側 n^- 型層54の中央部上と、右側の p^+ 型層56の左側部上にわたって、上側 n^- 型層(第1層)68が形成されている。上側 n^- 型層68は、 n 型不純物としてSiがドーピングされたAlGaN(詳細にはAl_{0.3}Ga_{0.7}N)で構成されている。上側 n^- 型層68のキャリア濃度は、約 $1 \times 10^{16} \text{ cm}^{-3}$ である。上側 n^- 型層68の厚さは、約50

n⁺mである。左側のn⁺型ソース層60の右側部上と、上側n⁻型層68上と、右側のn⁺型ソース層60の左側部上にわたって、ゲート絶縁層66が形成されている。ゲート絶縁層66上には、ゲート電極70が形成されている。上側n⁻型層68は、ゲート電極70とp⁺型層56の間に形成された領域68aを有する。ゲート絶縁層66と各電極50, 62, 70の構成材料と厚さは、第1実施例と同様である。

【0044】

上側n⁻型層68のバンドギャップは、p⁺型層56のバンドギャップよりも大きい。本実施例では、上側n⁻型層68にAlを含ませ、p⁺型層56にInを含ませることで、上側n⁻型層68のバンドギャップをp⁺型層56のバンドギャップよりも大きくしている。

上側n⁻型層68とp⁺型層56の接触部(p⁺n⁻接合部)58からは、上側n⁻型層68とp⁺型層56の両側に空乏層が伸びる。上側n⁻型層68の厚さは、ゲート電極70に電圧が印加されていないときにp⁺n⁻接合部58から上側n⁻型層68側に伸びる空乏層の厚さ以下である。

【0045】

次に、第3実施例の動作について説明する。ゲート電極70に電圧が印加されていない状態では、第1実施例と同様に、p⁺n⁻接合部58から上側n⁻型層68側に伸びる空乏層によって、上側n⁻型層68のうちp⁺型層56の直上に位置する領域68aの全体が実質的に空乏化されている。このため、ゲート電極70に電圧が印加されていない状態では、ソース電極62とドレイン電極50間には電流は流れない。このように、このトランジスタは、ノーマリオフの動作をする。

【0046】

ゲート電極70に正の電圧を印加すると、電子はまず、ソース電極62、n⁺型ソース層60、チャネル(上側n⁻型層68とp⁺型層56の境界部58付近)の順に横方向に流れる。さらに電子は、下側n⁻型層54、n⁺型ドレイン層52、ドレイン電極50の順に縦方向に流れる。即ち、ドレイン電極50からソース電極62に向けて電流が流れ、トランジスタがオンする。

【0047】

第3実施例によっても、第1実施例と同様に、ノーマリオフであって、耐圧が高く、オン抵抗が低いという有用な半導体素子を実現できる。

【0048】

次に、第3実施例の製造方法例について図7を参照して説明する。まず、 n^+ 型ドレイン層52上に、MOCVD法によって下側 n^- 型層54を成長させる。次に、下側 n^- 型層54上に第1マスク層(SiO_2 層)を形成する。次に、第1マスク層に p^+ 型層56の形成用の開口をフォトリソで形成する。次に、第1マスク層の開口から露出する下側 n^- 型層(図7には存在しない)をRIE法によってエッチングする。

【0049】

次に、エッチングした下側 n^- 型層(図7には存在しない)の下方に位置し、エッチングにより新たに露出した下側 n^- 型層54上に、 p^+ 型層56をMOCVD法によって選択的に成長させる。この p^+ 型層56は、下側 n^- 型層54の最頂面の高さに達するまで成長させる。この p^+ 型層56の形成は、先に形成した第1マスク層をそのまま残して行う。次に、第1マスク層をHF水溶液によって除去する。

【0050】

次に、 p^+ 型層56の全体上から、下側 n^- 型層54の全体上にわたって上側 n^- 型層68をMOCVD法によって成長させる。次に、上側 n^- 型層68の全体上に第2マスク層(SiO_2 層)を形成する。次に、第2マスク層に、ソース層60の形成用の開口をフォトリソで形成する。次に、第2マスク層の開口に向けて、N(窒素)をイオン注入法によってドーズ量 $1 \times 10^{15} \text{ cm}^{-2}$ 、加速電圧35 keVで注入する。次に、第2マスク層の開口に向けて、Siをイオン注入法によってドーズ量 $1 \times 10^{15} \text{ cm}^{-2}$ 、加速電圧65 keVで注入する。これにより、 n^+ 型ソース層60(但し、イオン注入した不純物の活性化前)が形成される。

【0051】

次に、第2マスク層の開口部分にもマスク層(SiO_2 層)を再度形成する。

以下では、これらのマスク層全体を第3マスク層という。これにより、素子の頂面全体が第3マスク層で覆われた状態となる。次に、N（窒素）雰囲気中で1300℃で5分間、素子をアニールする。次に、第3マスク層に開口を形成する。この開口は、ソース電極62を接触させるp⁺型層56上に形成された上側n⁻型層（図7には存在しない）の除去用のものである。次に、第3マスク層の開口から露出する上側n⁻型層（図7には存在しない）をRIE法によってエッチングする。次に、第3マスク層をHF水溶液によって除去する。

【0052】

次に、素子の頂面全体にゲート絶縁層66をスパッタ法によって形成する。次に、ゲート絶縁層66にソース電極62とドレイン電極50の形成用の開口をフォトリソで形成する。次に、開口から露出したp⁺型層56とn⁺型ソース層60上に、TiとAlを順に蒸着してソース電極62を形成する。また、n⁺型ドレイン層52の底面に、TiとAlを順に蒸着してドレイン電極50を形成する。次に、N（窒素）雰囲気中で、500℃で2分間アニールする。次に、p⁺型層56の上方に位置するゲート絶縁層66上に、Niを蒸着してゲート電極70を形成する。

以上の工程を経ることで、第3実施例の電界効果トランジスタを製造できる。

【0053】

（第4実施例） 図8に示す第4実施例の電界効果トランジスタは、次の点で第3実施例と主に異なる。第4実施例では、上側n⁻型層68とp⁺型層56の間にチャンネル層（第3層）72が設けられている。チャンネル層72は、上側n⁻型層68と下側n⁻型層54の間にも連続して設けられている。チャンネル層72は、不純物がドーピングされていない真性のInGaNで構成されている。このように、チャンネル層72には、Inを含ませている。これにより、チャンネル層72のバンドギャップを、上側n⁻型層68とp⁺型層56のバンドギャップよりも小さくしている。

【0054】

第4実施例は、第3実施例と同様の工程を経て第1マスクを除去した後、p⁺型層56の全体上から下側n⁻型層54の全体上にわたってチャンネル層72と上

側 n^- 型層 6 8 を MOCVD 法によって順に成長させ、さらに第 3 実施例と同様の工程を経ることで製造できる。

【0055】

以上、本発明の具体例を詳細に説明したが、これらは例示に過ぎず、特許請求の範囲を限定するものではない。特許請求の範囲に記載の技術には、以上に例示した具体例を様々に変形、変更したものが含まれる。

(1) 図 1 に示す第 1 実施例では、上側 n^- 型層 3 2 と p^+ 型層 4 2 の境界部 2 4 付近にチャンネルが主に形成される構造であった。しかし、上側 n^- 型層 3 2 の内部にチャンネルが主に形成されるような構造であってもよい。

(2) 上記実施例ではノーマリオフの半導体素子について説明した。しかし、本発明はノーマリオン半導体素子にも適用できる。

(3) 図 1 に示す第 1 実施例の製造方法として、上記では、基板 2 0 上への下側 n^- 型層 2 2 の成長、下側 n^- 型層 2 2 の一部のエッチング、そのエッチングで露出した下側 n^- 型層 2 2 上への p^+ 型層 4 2 の再成長、という工程を経て p^+ 型層 4 2 を形成する方法を説明した。しかし、 p^+ 型層 4 2 は、下側 n^- 型層 2 2 に Mg 又は Be をイオン注入することで形成することもできる。これによると、下側 n^- 型層 2 2 のエッチング、 p^+ 型層 4 2 の再成長という工程を省くことができる。よって、製造プロセスを簡単化できる。

(4) 図 7 に示す第 3 実施例は、下側 n^- 型層 5 4 を薄く成長させ、その下側 n^- 型層 5 4 上の全体に p^+ 型層 5 6 を成長させ、その p^+ 型層 5 6 の中央部（図 7 には存在しない）に Si 又は Ge をイオン注入して n^- 型層 5 4 の中央部を形成してもよい。この場合も、2 つの p^+ 型層 5 6 とこれらの間に位置する n^- 型層 5 4 を形成できる。

【0056】

また、本明細書または図面に説明した技術要素は、単独であるいは各種の組合せによって技術的有用性を発揮するものであり、出願時請求項記載の組合せに限定されるものではない。また、本明細書または図面に例示した技術は複数目的を同時に達成し得るものであり、そのうちの一つの目的を達成すること自体で技術的有用性を持つものである。

【図面の簡単な説明】

【図 1】 第 1 実施例の電界効果トランジスタの断面図を示す。

【図 2】 上側 n⁻型層と p⁺型層のエネルギーバンド図を示す。

【図 3】 第 1 実施例の構造についての、ゲート電極に電圧を印加していない状態のエネルギーバンド図を示す。

【図 4】 第 1 実施例の構造についての、ゲート電極に正の電圧を印加した状態のエネルギーバンド図を示す。

【図 5】 第 2 実施例の電界効果トランジスタの断面図を示す。

【図 6】 第 2 実施例の構造についての、ゲート電極に電圧を印加していない状態のエネルギーバンド図を示す。

【図 7】 第 3 実施例の電界効果トランジスタの断面図を示す。

【図 8】 第 4 実施例の電界効果トランジスタの断面図を示す。

【符号の説明】

3 2、6 8：上側 n⁻型層（第 1 層の一例）

4 2、5 6：p⁺型層（第 2 層の一例）

4 4、7 2：チャンネル層（第 3 層の一例）

2 2、5 4：下側 n⁻型層（第 4 層の一例）

4 0、6 0：n⁺型ソース層

2 6、5 2：n⁺型ドレイン層

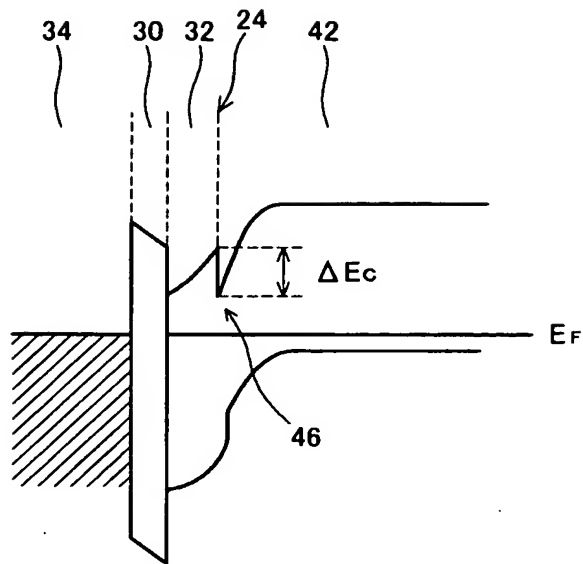
3 0、6 6：ゲート絶縁層

3 4、7 0：ゲート電極

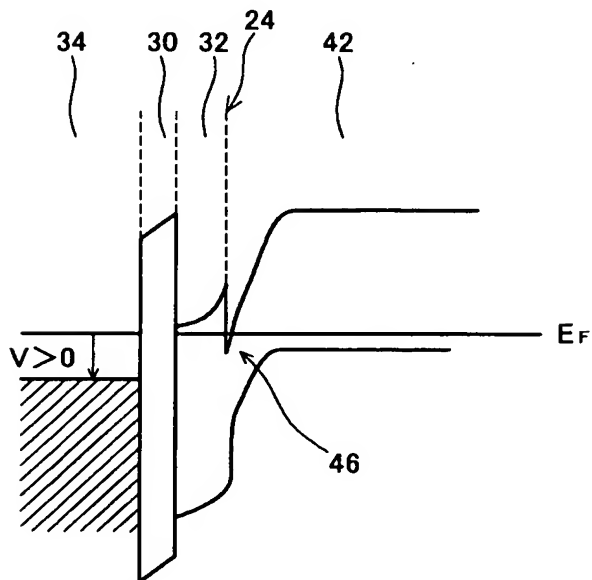
3 8、6 2：ソース電極

2 8、5 0：ドレイン電極

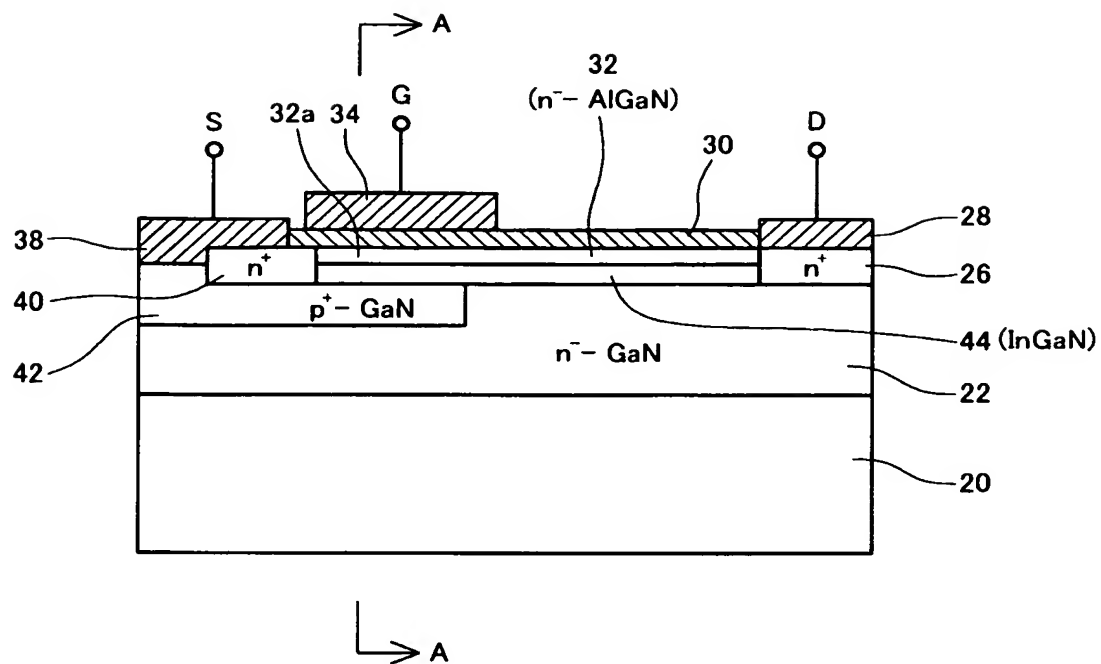
【図 3】



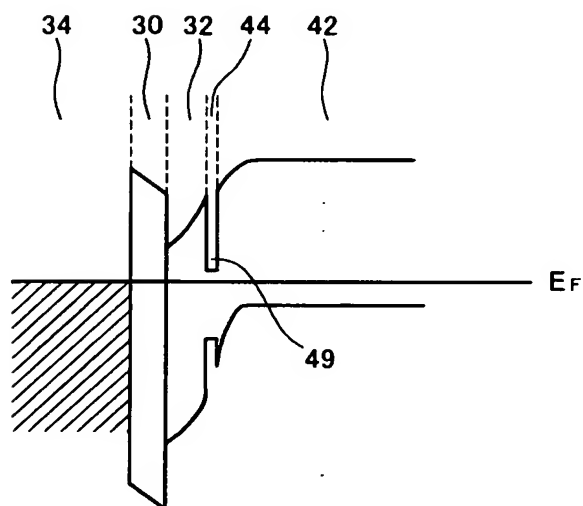
【図 4】



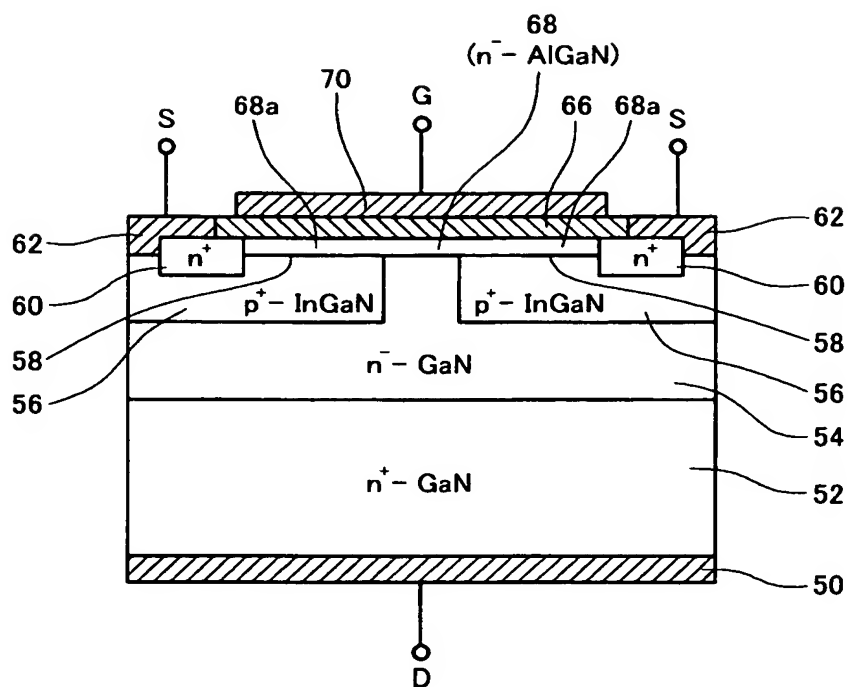
【図 5】



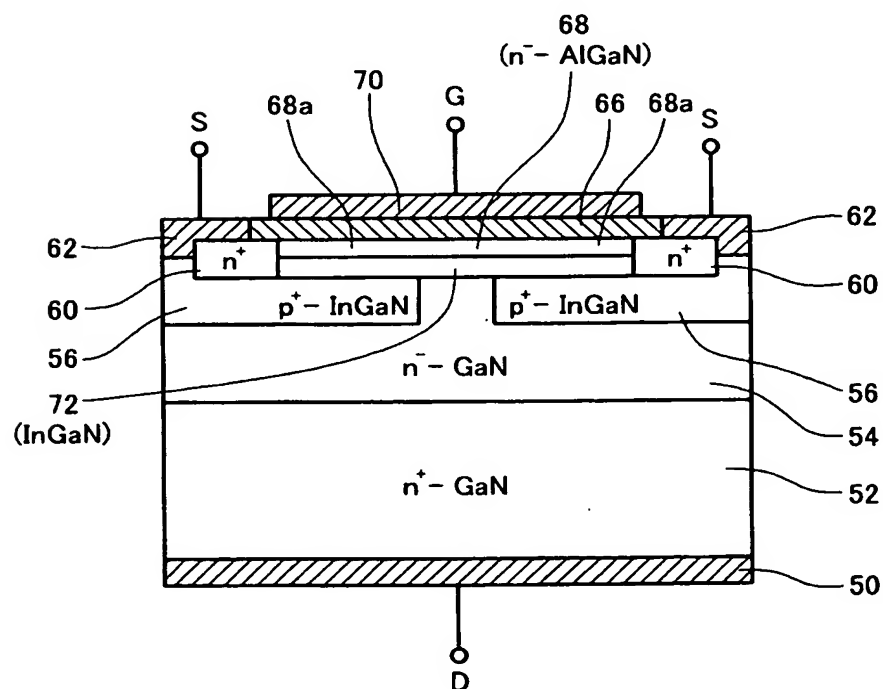
【図 6】



【図 7】



【図 8】



【書類名】 要約書

【要約】

【課題】 III族窒化物半導体を有する半導体素子の耐圧を高くすること。

【解決手段】 半導体素子は、A l G a Nで構成された第1層 3 2 と、G a Nで構成された第2層 4 2 と、ゲート電極 3 4 と、ソース電極 3 8 と、ドレイン電極 2 8 を有する。第1層 3 2 は、ゲート電極 3 4 と第2層 4 2 の間に形成された領域 3 2 a を有する。第1層 3 2 と第2層 4 2 の境界部 2 4 付近にチャネルが形成される。第2層 4 2 の導電型は p 型であり、p 型不純物である M g がドーピングされている。第2層 4 2 は、ソース電極 3 8 に接している。

【選択図】 図 1

特願 2 0 0 3 - 0 2 9 3 7 4

出 願 人 履 歴 情 報

識別番号 [0 0 0 0 0 3 6 0 9]

1. 変更年月日 1 9 9 0 年 9 月 6 日

[変更理由] 新規登録

住 所 愛知県愛知郡長久手町大字長湫字横道 4 1 番地の 1

氏 名 株式会社豊田中央研究所